

#4  
1-16-21

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

3085700 S. PTO  
09/02/1925



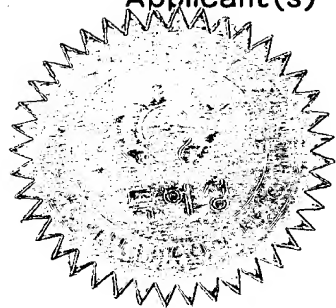
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 1999년 특허출원 제30029호  
Application Number

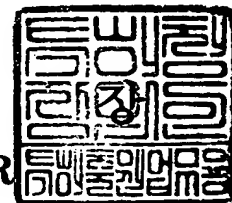
출원년월일 : 1999년 7월 23일  
Date of Application

출원인 : 삼성전자 주식회사  
Applicant(s)



1999년 8월 24일

특허청  
COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	1999.07.23
【국제특허분류】	G11C
【발명의 명칭】	외부에서 데이터 입출력 모드를 제어할 수 있는 반도체 메모리 장치
【발명의 영문명칭】	Semiconductor memory device whose data input/output mode can be controled outside
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	권석흠
【대리인코드】	9-1998-000117-4
【포괄위임등록번호】	1999-009576-5
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	박용진
【성명의 영문표기】	PARK, Yong Jin
【주민등록번호】	660523-1822313
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 풍덕천리 동부아파트 105동 1603호
【국적】	KR

**【발명자】**

**【성명의 국문표기】** 박상근  
**【성명의 영문표기】** PARK, Sang Keun  
**【주민등록번호】** 680307-1162521  
**【우편번호】** 449-840  
**【주소】** 경기도 용인시 수지읍 풍덕천리 삼성아파트 203동 903호  
**【국적】** KR

**【발명자】**

**【성명의 국문표기】** 김홍  
**【성명의 영문표기】** KIM, Hong  
**【주민등록번호】** 650224-1709818  
**【우편번호】** 441-390  
**【주소】** 경기도 수원시 권선구 권선동 1067-1 권선주공3차아파트 72동 504호  
**【국적】** KR

**【발명자】**

**【성명의 국문표기】** 강영구  
**【성명의 영문표기】** KANG, Young Gu  
**【주민등록번호】** 690702-1348411  
**【우편번호】** 465-250  
**【주소】** 경기도 하남시 하산곡동 453-5  
**【국적】** KR

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 이영필 (인) 대리인  
 권석홍 (인) 대리인  
 정상빈 (인)

**【수수료】**

<b>【기본출원료】</b>	20 면	29,000 원
<b>【가산출원료】</b>	19 면	19,000 원
<b>【우선권주장료】</b>	0 건	0 원
<b>【심사청구료】</b>	15 항	589,000 원
<b>【합계】</b>		637,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 외부에서 데이터 입출력 모드를 제어할 수 있는 반도체 메모리 장치에 관한 것으로서, 반도체 메모리 장치에 있어서, 복수개의 패드들, 다른 복수개의 패드들, 및 상기 복수개의 패드들 및 상기 다른 복수개의 패드들과 전기적으로 연결되며 복수개의 입출력 모드 신호들을 발생하는 입출력 모드 설정 회로를 구비하고, 테스트 모드시 상기 다른 복수개의 패드들 중 하나에 상기 반도체 메모리 장치의 전원 전압보다 높은 고전압이 인가되면 상기 입출력 모드 설정 회로는 상기 복수개의 패드들로부터 입력되는 신호들을 차단하고 상기 입출력 모드 신호들을 각각 논리 하이와 논리 로우 중 하나로 만들어서 상기 반도체 메모리 장치를 하나의 입출력 모드로 설정하고, 정상 동작시 상기 다른 복수개의 패드들에는 상기 고전압이 인가되지 않으며 상기 입출력 모드 설정 회로는 상기 복수개의 패드들로부터 입력되는 신호들에 응답하여 상기 입출력 모드 신호들을 각각 논리 하이와 논리 로우 중 하나로 만들어서 상기 반도체 메모리 장치를 하나의 입출력 모드로 설정함으로써 외부에서 반도체 메모리 장치의 데이터 입출력 모드를 변경시킬 수 있다.

**【대표도】**

도 2

**【명세서】****【발명의 명칭】**

외부에서 데이터 입출력 모드를 제어할 수 있는 반도체 메모리 장치{Semiconductor Memory Device Whose Data Input/Output Mode can be Controled outside}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 반도체 메모리 장치에 구비되는 입출력 모드 제어 회로의 회로도.

도 2는 본 발명의 제1 실시예에 따른 반도체 메모리 장치의 개략적인 블록도.

도 3은 상기 도 2에 도시된 패드 회로의 회로도.

도 4는 상기 도 2에 도시된 제어 신호 발생 회로의 회로도.

도 5는 상기 도 2에 도시된 입출력 모드 신호 발생 회로의 회로도.

도 6은 본 발명의 제2 실시예에 따른 반도체 메모리 장치의 개략적인 블록도.

도 7은 상기 도 6에 도시된 모드 레지스터 셋 신호 발생 회로의 회로도.

도 8은 상기 도 6에 도시된 제어 신호 발생 회로의 회로도.

도 9는 상기 도 6에 도시된 입출력 모드 신호 발생 회로의 회로도.

도 10은 도 6에 도시된 신호들의 타이밍도.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12>        본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 외부에서 데이터 입출력 모드를 제어할 수 있는 반도체 메모리 장치에 관한 것이다.
- <13>        반도체 메모리 장치는 내부에 메모리를 구비하고 있다. 사용자는 외부에서 상기 메모리로 데이터를 기입하거나 또는 상기 메모리에 저장된 데이터를 독출할 수가 있다. 이와같이, 상기 메모리로 데이터가 기입되거나 또는 상기 메모리로부터 데이터가 독출되는 것을 데이터가 입출력된다고 한다. 상기 데이터는 다수개가 동시에 입출력될 수가 있다. 상기 메모리에 동시에 입출력되는 데이터는 상기 반도체 메모리 장치의 입출력 모드에 따라 그 수가 달라진다. 예컨대, 상기 입출력 모드로는  $\times 4$ ,  $\times 8$ ,  $\times 16$  이 있다. 입출력 모드가  $\times 4$ 일 경우, 상기 메모리에 동시에 입출력되는 데이터는 4개이고, 입출력 모드가  $\times 8$ 일 경우, 상기 메모리에 동시에 입출력되는 데이터는 8개이며, 입출력 모드가  $\times 16$ 일 경우, 상기 메모리에 동시에 입출력되는 데이터는 16개이다. 상기 입출력 모드는 반도체 메모리 장치의 설계시에 하나로 설정된다. 상기 입출력 모드를 설정하는 회로가 입출력 모드 제어 회로이다.
- <14>        도 1은 종래의 반도체 메모리 장치에 구비되는 입출력 모드 제어 회로의 회로도이다. 도 1을 참조하면, 종래의 입출력 모드 제어 회로(101)는 제1 입출력 모드 설정부(111)와 제2 입출력 모드 설정부(112)를 구비한다. 제1 입출력 모드 설정부(111)는  $\times 16$ 을 설정하는 회로이고, 제2 입출력 모드 설정부(112)는  $\times 4$ 를 설정하는 회로이다. 만일, 신호(P16)가 논리 하이(logic high)이면 상기 반도체 메모리 장치(101)의 입출력 모드는  $\times 16$ 으로 설정

되고, 신호(P4)가 논리 하이이면 반도체 메모리 장치(101)의 입출력 모드는  $\times 4$ 로 설정된다. 만일 신호들(P4,P16)이 모두 논리 로우(low)이면 반도체 메모리 장치(101)의 입출력 모드는  $\times 8$ 로 설정된다. 신호들(P4,P16)이 모두 논리 하이로 되는 경우는 발생하지 않는다.

<15> 제1 입출력 모드 설정부(111)는 패드(121), NMOS 트랜지스터(131), PMOS 트랜지스터(141) 및 인버터들(151~153)을 구비하고, 제2 입출력 모드 설정부(112)는 패드(122), NMOS 트랜지스터(132), PMOS 트랜지스터(142) 및 인버터들(154~156)을 구비한다. 만일 반도체 메모리 장치(101)의 입출력 모드를  $\times 6$ 으로 설정하고자 할 경우에는 패드(121)를 접지시키고,  $\times 4$ 로 설정하고자 할 경우에는 패드(122)를 접지시킨다. NMOS 트랜지스터들(131,132)과 PMOS 트랜지스터들(141,142)은 전원 전압(Vcc)이 반도체 메모리 장치(101)에 인가된 상태에서는 항상 턴온(turn-on)되어있다. 그런데, PMOS 트랜지스터들(141,142)은 NMOS 트랜지스터들(131,132)에 비해 그 크기가 작다.

<16> 만일 패드(121)가 접지될 경우, 노드(N1)는 접지 전압(GND) 레벨로 낮아지게 되어 신호(P16)는 논리 하이로 된다. 만일 패드(121)가 부유(floating)되면, 노드(N1)는 전원 전압(Vcc) 레벨로 높아지게 되어 신호(P16)는 논리 로우로 된다. 패드(121)는 부유되고 패드(122)가 접지될 경우, 노드(N2)는 접지 전압(GND) 레벨로 낮아지게 되어 신호(P4)는 논리 하이로 된다. 만일 패드(122)가 부유되면, 노드(N2)는 전원 전압(Vcc) 레벨로 높아지게 되어 신호(P4)는 논리 로우로 된다. 패드들(121,122)이 모두 부유될 경우에는 신호들(P4,P16)은 모두 논리 로우로 된다. 즉, 반도체 메모리 장치의 입출력 모드는  $\times 8$ 로 된다.

<17> 상기와 같이 종래의 반도체 메모리 장치(101)는 하나의 입출력 모드로 설정된 상태에서 패키지 조립이 완료되면, 더 이상 입출력 모드를 변경할 수 없다. 때문에 다음과 같은 문제점이 존재한다. 첫째, 반도체 메모리 장치를 입출력 모드별로 각각 테스트해야하므로 생산성

이 저하된다. 둘째, 반도체 메모리 장치의 입출력 모드에 따른 구동 차이에 의해 테스트 효율이 감소한다. 셋째, 반도체 메모리 장치의 평가시 시료(specification)가 구분되므로 입출력 모드별로 완벽한 평가가 어렵다.

**【발명이 이루고자 하는 기술적 과제】**

<18> 따라서, 본 발명이 이루고자하는 기술적 과제는 외부에서 입출력 모드를 자유롭게 제어할 수 있는 반도체 메모리 장치를 제공하는 것이다.

**【발명의 구성 및 작용】**

<19> 상기 기술적 과제를 이루기 위하여 본 발명은, 반도체 메모리 장치에 있어서, 복수개의 패드들, 및 상기 복수개의 패드들과 전기적으로 연결되며 복수개의 신호들을 입력하고 복수개의 입출력 모드 신호들을 출력하는 입출력 모드 설정 회로를 구비하고, 테스트 모드시 상기 입출력 모드 설정 회로는 상기 입력되는 복수개의 신호들에 응답하여 상기 복수개의 패드들로부터 입력되는 신호들을 차단하고 상기 복수개의 입출력 모드 신호들을 각각 논리 하이와 논리 로우 중 하나로 만들어서 상기 반도체 메모리 장치를 하나의 입출력 모드로 설정하고, 정상 동작시 상기 입출력 모드 설정 회로는 상기 복수개의 패드들로부터 입력되는 신호들에 응답하여 상기 복수개의 입출력 모드 신호들을 각각 논리 하이와 논리 로우 중 하나로 만들어서 상기 반도체 메모리 장치를 하나의 입출력 모드로 설정하는 반도체 메모리 장치를 제공한다.

<20> 상기 기술적 과제를 이루기 위하여 본 발명은 또, 반도체 메모리 장치에 있어서, 복수개의 패드들, 다른 복수개의 패드들, 및 상기 복수개의 패드들 및 상기 다른 복수개의 패드들과 전기적으로 연결되며 복수개의 입출력 모드 신호들을 발생하는 입출력 모드 설정 회로를 구



비하고, 테스트 모드시 상기 다른 복수개의 패드들 중 하나에 상기 반도체 메모리 장치의 전원 전압보다 높은 고전압이 인가되면 상기 입출력 모드 설정 회로는 상기 복수개의 패드들로부터 입력되는 신호들을 차단하고 상기 입출력 모드 신호들을 각각 논리 하이와 논리 로우 중 하나로 만들어서 상기 반도체 메모리 장치를 하나의 입출력 모드로 설정하고, 정상 동작시 상기 다른 복수개의 패드들에는 상기 고전압이 인가되지 않으며 상기 입출력 모드 설정 회로는 상기 복수개의 패드들로부터 입력되는 신호들에 응답하여 상기 입출력 모드 신호들을 각각 논리 하이와 논리 로우 중 하나로 만들어서 상기 반도체 메모리 장치를 하나의 입출력 모드로 설정하는 반도체 메모리 장치를 제공한다.

<21> 바람직하기는, 상기 고전압은 짧은 시간동안만 상기 다른 복수개의 패드들 중 하나에 인가되고, 상기 고전압이 상기 패드들 중 하나에 인가되고 난 후에 상기 전원 전압이 상기 반도체 메모리 장치에 인가된다.

<22> 바람직하기는 또한, 상기 입출력 모드 설정 회로는 상기 다른 복수개의 패드들에 연결되고 제1 내지 제3 신호들을 출력하며 상기 다른 복수개의 패드들 중 하나에 상기 고전압이 인가되면 상기 제1 내지 제3 신호들 중 하나만 액티브되는 패드 회로, 상기 패드 회로로부터 출력되는 신호들과 제1 및 제2 내부 신호들에 응답하여 제1 내지 제3 제어 신호들을 발생하며 상기 제1 및 제2 내부 신호들이 액티브된 상태에서 상기 제1 내지 제3 신호들 중 하나가 액티브될 때 상기 제1 내지 제3 제어 신호들 중 최소한 제1 제어 신호를 액티브시키는 제어 신호 발생 회로, 및 상기 제어 신호 발생 회로에 연결되며 상기 제1 내지 제3 제어 신호들에 응답하여 상기 복수개의 입출력 모드 신호들을 출력하고 상기 제1 제어 신호가 액티브될 때 상기 복수개의 패드들로부터 입력되는 신호들을 모두 차단하고 상기 제2 및 제3 제어 신호들에 응답하여 상기 입출력 모드 신호들을 각각 논리 하이와 논리 로우 중 하나로 만드는 입출

력 모드 신호 발생 회로를 구비한다.

<23>       상기 기술적 과제를 이루기 위하여 본 발명은 또한, 반도체 메모리 장치에 있어서, 복수개의 패드들, 및 상기 복수개의 패드들과 전기적으로 연결되며 복수개의 모드 레지스터 어드레스 신호들을 입력하고 복수개의 입출력 모드 신호들을 출력하는 입출력 모드 설정 회로를 구비하고, 테스트 모드시 상기 입출력 모드 설정 회로는 상기 복수개의 모드 레지스터 어드레스 신호들에 응답하여 상기 복수개의 패드들로부터 입력되는 신호들을 차단하고 상기 입출력 모드 신호들을 각각 논리 하이와 논리 로우 중 하나로 만들어서 상기 반도체 메모리 장치를 하나의 입출력 모드로 설정하고, 정상 동작시 상기 입출력 모드 설정 회로는 상기 복수개의 패드들로부터 입력되는 신호들에 응답하여 상기 입출력 모드 신호들을 각각 논리 하이와 논리 로우 중 하나로 만들어서 상기 반도체 메모리 장치를 하나의 입출력 모드로 설정하는 반도체 메모리 장치를 제공한다.

<24>       바람직하기는, 상기 제1 내부 신호는 상기 전원 전압이 소정 레벨 이상이 되면 액티브되는 전원 감지 신호이고, 상기 제2 내부 신호는 상기 반도체 메모리 장치의 기입 인에이블 신호와 로우 어드레스 스트로브 신호 및 칼럼 어드레스 스트로브 신호가 모두 논리 로우로 인에이블될 때 액티브되는 입출력 모드 제어 신호이다.

<25>       바람직하기는 또한, 상기 입출력 모드 설정 회로는 상기 복수개의 모드 레지스터 어드레스 신호들 중 일부와 제1 및 제2 내부 신호들을 입력하고 제1 및 제2 출력 신호들을 발생하며 상기 복수개의 모드 레지스터 어드레스 신호들 중 일부와 상기 제1 및 제2 내부 신호들이 액티브되면 상기 제1 출력 신호가 액티브되는 모드 레지스터 셋 회로, 상기 모드 레지스터 셋 회로의 제1 및 제2 출력 신호들과 상기 제1 및 제2 내부 신호들 및 상기 복수개의 모드 레지스터 어드레스 신호들 중 다른 일부를 입력하고 제1 내지 제3 제어 신호들을 출력하며

상기 모드 레지스터 셋 회로의 제1 출력 신호와 상기 제1 내부 신호가 액티브되면 상기 제1 제어 신호를 액티브시키고, 상기 제2 내부 신호가 액티브일 때 상기 복수개의 모드 레지스터 어드레스 신호들 중 다른 일부에 응답하여 상기 제2 및 제3 제어 신호들을 각각 논리 하이와 논리 로우 중 하나로 만드는 제어 신호 발생 회로, 및 상기 제1 내지 제3 제어 신호들을 입력하고 상기 제1 제어 신호가 액티브되면 상기 복수개의 패드들로부터 입력되는 신호들을 차단하고 상기 제2 및 제3 제어 신호들에 응답하여 상기 복수개의 입출력 모드 신호들을 각각 논리 하이와 논리 로우 중 하나로 만드는 입출력 모드 신호 발생부를 구비한다.

- <26>        상기 본 발명에 의하여 외부에서 반도체 메모리 장치의 입출력 모드를 변경시킬 수 있다.
- <27>        본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <28>        이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <29>        도 2는 본 발명의 제1 실시예에 따른 반도체 메모리 장치의 개략적인 블록도이다. 도 2를 참조하면, 본 발명의 제1 실시예에 따른 반도체 메모리 장치(201)는 메모리 셀 어레이(261), 감지 증폭기(271), 입출력 멀티플렉서(281), 입출력 모드 설정 회로(211), 입출력 버퍼들(B0~B15) 및 패드들(251~255, PD0~PD15)을 구비한다.
- <30>        패드들(251~253)은 반도체 메모리 장치(201)에 기본적으로 구비된다. 정상 동작시 외부 신호들이 패드들(251~253)에 인가되고, 테스트 모드시에는 반도체 메모리 장치

(201)의 전원 전압(Vcc)보다 높은 고전압이 패드들(251~253) 중 하나에 인가된다. 패드들(254,255)은 반도체 메모리 장치(201)의 입출력 모드를 설정하기 위한 패드들로서 패키지 조립시 접지단에 와이어-본딩(wire bonding)되어 접지되거나 또는 부유(floating) 상태로 남는다. 패드들(254,255)이 접지되느냐 아니면 부유되느냐에 따라 반도체 메모리 장치(201)는 3개의 입출력 모드들 중 하나로 설정된다. 예컨대, 패드(254)만 접지되면 반도체 메모리 장치(201)의 입출력 모드는  $\times 4$ 로 설정되고, 패드(255)만 접지되면 반도체 메모리 장치(201)의 입출력 모드는  $\times 6$ 으로 설정되며, 패드들(254,255)이 모두 부유되면 반도체 메모리 장치(201)의 입출력 모드는  $\times 8$ 로 설정된다. 패드들(254,255)이 모두 접지되는 경우는 없다.

<31> 입출력 모드 설정 회로(211)는 패드들(251~253)에 전기적으로 연결된다. 입출력 모드 설정 회로(211)는 테스트 모드(test mode)시 패드들(251~253) 중 하나에 인가되는 상기 고전압에 응답하여 입출력 모드 신호들(P4,P16)을 발생한다. 이 때, 입출력 모드 설정 회로(211)는 패드들(254,255)에 인가되는 신호들이 입력되는 것을 차단한다. 테스트 모드시 상기 고전압이 패드들(251~253) 중 어느 패드에 인가되느냐에 따라 반도체 메모리 장치(201)의 입출력 모드가 설정된다. 예컨대, 상기 고전압이 패드(251)에 인가되면 입출력 모드 신호(P4)가 논리 하이로 되어 반도체 메모리 장치(201)의 입출력 모드는  $\times 4$ 로 설정된다. 상기 고전압이 패드(252)에 인가되면 입출력 모드 신호들(P4,P16)이 모두 논리 로우로 되어 반도체 메모리 장치(201)의 입출력 모드는  $\times 8$ 로 설정된다. 상기 고전압이 패드(253)에 인가되면 입출력 모드 신호(P16)가 논리 하이로 되어 반도체 메모리 장치(201)의 입출력 모드는  $\times 6$ 으로 된다.

<32> 입출력 모드 설정 회로(211)는 패드 회로(221), 제어 신호 발생 회로(231) 및 입출

력 모드 신호 발생 회로(241)를 구비한다.

<33> 패드 회로(221)가 도 3에 상세히 도시되어있다. 도 3을 참조하면, 패드 회로(221)는 패드들(251,252,253)에 전기적으로 연결되며, PMOS 트랜지스터들(311~322), NMOS 트랜지스터들(341~343), 버퍼들(351~353)을 구비한다. 버퍼들(351~353)은 각각 우수개의 인버터들로 구성한다. 버퍼들(351~353)로부터 제1 내지 제3 신호들(SV4,SV8,SV16)이 발생한다. NMOS 트랜지스터들(341~343)은 반도체 메모리 장치(201)에 전원 전압( $V_{cc}$ )이 인가되는 한 턴온 상태로 유지된다. 따라서, 패드들(251~253)에 상기 고전압이 인가되지 않을 때는 제1 내지 제3 신호들(SV4,SV8,SV16)은 모두 논리 로우로 된다.

<34> 패드(251)에 고전압, 예컨대 8볼트가 인가되면 PMOS 트랜지스터들(311~314)이 모두 턴온되므로 노드(N3)는 5.2볼트로 높아진다. 여기서, PMOS 트랜지스터들(311~314)의 문턱 전압은 0.7볼트이며, PMOS 트랜지스터들(311~314)은 NMOS 트랜지스터(341)에 비해 그 크기가 훨씬 작다. 따라서, 제1 신호(SV4)는 논리 하이로 액티브(active)된다. 이와 동일한 원리에 의해 패드(252)에 상기 고전압이 인가되면 제2 신호(SV8)가 논리 하이로 액티브되고, 패드(253)에 상기 고전압이 인가되면 제3 신호(SV16)가 논리 하이로 액티브된다.

<35> 제어 신호 발생 회로(231)가 도 4에 상세히 도시되어있다. 도 4를 참조하면, 제어 신호 발생 회로(231)는 낸드 게이트(NAND Gate)들(411~419), 인버터들(421~423), NMOS 트랜지스터들(431~433), 버퍼들(441,442) 및 오아 게이트(OR Gate)(451)를 구비한다. 버퍼들(441,442)은 각각 우수개의 인버터들로 구성한다. 제어 신호 발생 회로

(231)는 제1 내주 신호인 전원 감지 신호(PVCCH)와 제2 내부 신호(PWCBR) 및 제1 내지 제3 신호들(SV4,SV8,SV16)을 입력하고 제1 내지 제3 제어 신호들(ORGSM,MFE,MHE)을 발생한다.

<36> 전원 감지 신호(PVCCH)는 전원 전압(Vcc)이 소정 전압 이하이면 논리 로우로 인엑티브(inactive) 되고, 소정 전압 이상이면 논리 하이로 액티브된다. 따라서, 전원 감지 신호(PVCCH)는 전원 전압(Vcc)이 반도체 메모리 장치(201)에 인가되면 초기에는 인엑티브되었다가 소정 시간이 지나면 액티브되며, 전원 전압(Vcc)이 반도체 메모리 장치(201)에 인가되는 동안 계속해서 액티브된다.

<37> 제2 내부 신호(PWCBR)는 도 10에 도시된 바와 같이 기입 인에이블 신호(WEB)와 로우 어드레스 스트로브(Row Address Strobe) 신호(RASB) 및 칼럼(column) 어드레스 스트로브 신호(CASB)가 모두 논리 로우로 인에이블된 상태에서 클럭 신호(CLK)가 논리 로우에서 논리 하이로 천이될 때 논리 하이로 액티브되고, 기입 인에이블 신호(WEB)와 로우 어드레스 스트로브 신호(RASB) 및 칼럼 어드레스 스트로브 신호(CASB) 중 어느 하나가 논리 하이로 디세이블된 상태에서 클럭 신호(CLK)가 논리 로우에서 논리 하이로 천이될 때 논리 로우로 인엑티브된다.

<38> 기입 인에이블 신호(WEB)가 논리 로우로 인에이블될 때 외부 데이터는 메모리 셀 어레이(261)로 기입된다. 로우 어드레스 스트로브 신호(RASB)가 논리 로우로 인에이블될 때 로우 어드레스가 외부에서 반도체 메모리 장치(201)로 입력되고 칼럼 어드레스 스트로브 신호(CASB)가 논리 로우로 인에이블될 때 칼럼 어드레스가

외부로부터 반도체 메모리 장치(201)로 입력된다. 반도체 메모리 장치(201)는 제2 내부 신호(PWCBR)가 논리 하이로 인에이블될 때 테스트 모드로 진입한다. 제1 내지 제3 신호들(SV4,SV8,SV16)은 동시에 논리 하이로 되지 않고 그 중에 하나만 논리 하이로 된다.

<39> 테스트 모드에서 제2 내부 신호(PWCBR)가 논리 하이로 액티브되고 제1 신호(SV4)가 논리 하이로 액티브될 경우, 낸드 게이트(411)는 논리 로우를 출력한다. 그러면, 낸드 게이트(413)는 논리 하이로 출력하게 되어 노드(N4)는 논리 하이로 된다. 전원 감지 신호(PVCCH)가 논리 하이이고 노드(N4)가 논리 하이이므로 낸드 게이트(412)는 논리 로우를 출력한다. 이 상태에서 제어 신호(SV4)가 논리 로우로 되어도 노드(N4)는 계속해서 논리 하이로 유지된다. 즉, 낸드 게이트들(412,413)은 래치 회로를 형성하게 되어 노드(N4)는 전원 전압(Vcc)이 반도체 메모리 장치(201)에 인가되는 동안에는 계속해서 논리 하이로 유지된다. 그러다가 전원 전압(Vcc)의 공급이 중단되면 NMOS 트랜지스터(431)가 턴온되어 노드(N4)는 논리 로우로 된다. 물론 이것은 인버터(421)에 전원 전압(Vcc)이 인가될 경우이다. 인버터(421)에 전원 전압(Vcc)이 인가되지 않을 경우 노드(N4)는 부유된다. 노드(N4)가 논리 하이이면 오아 게이트(451)의 제1 제어 신호(ORGSM)는 논리 하이로 액티브된다.

<40> 동일한 동작 원리에 의해 제2 신호(SV8)가 논리 하이로 될 때 신호(ORGS2)는 논리 하이로 되고, 제3 신호(SV16)가 논리 하이로 액티브될 때는 신호(ORGS3)는 논리 하이로 된다. 제1 제어 신호(ORGSM)는 신호들(ORGS1,ORGS2,ORGS3) 중 어느 하나만 논리 하이로 되면 논리 하이로 액티브된다. 신호들(ORGS1,ORGS3)이 논리 하이로 되면 제2 및 제3 제어 신호들(MFE,MHE)도 논리 하이로 액티브된다.

<41> 도 3과 도 4를 참조하면, 상기 고전압이 패드(251)에 인가된 상태에서 전원 전압

(Vcc)이 반도체 메모리 장치(201)에 인가되면 신호들(ORGS1,MFE)은 논리 하이로 된다. 이후에는 상기 고전압이 패드(251)에 인가되지 않더라도 신호들(ORGS1,MFE)은 계속해서 논리 하이로 유지된다. 즉, 상기 고전압은 패드(251)에 짧은 시간동안만 인가되더라도 신호들(ORGS1,MFE)은 논리 하이로 계속 발생될 수가 있다. 마찬가지로, 패드(252)에 상기 고전압이 짧은 시간동안만 인가되더라도 신호들(ORGS2,ORGSM)은 논리 하이로 계속해서 발생되고, 패드(253)에 상기 고전압이 짧은 시간동안 인가될 경우에도 신호들(ORGS3,MHE,ORGSM)은 논리 하이로 계속해서 발생된다.

<42> 제1 신호(SV4)가 논리 로우인 상태에서 전원 전압(Vcc)이 오프(off)되었다가 온(on)되면 NMOS 트랜지스터(431)가 순간적으로 턴온되어 노드(N4)를 접지 전압(GND) 레벨로 낮춘다. 그러면, 낸드 게이트들(411,412)의 출력들이 모두 논리 하이로 되어 낸드 게이트(413)의 출력을 논리 로우로 만든다. 이렇게 되면 전원 감지 신호(PVCCH)가 액티브 되어도 노드(N4) 즉, 신호들(ORGS1,MFE)은 논리 로우로 래치된다. 이 상태는 낸드 게이트(411)의 출력이 논리 로우로 되지 않는 한 계속된다. 신호들(ORGS2,ORGS3,MHE)에 대해서도 마찬가지다. 신호들(ORGS1,ORGS2,ORGS3)이 모두 논리 로우이면 제1 제어 신호(ORGSM)는 논리 로우로 인액티브된다.

<43> 입출력 모드 신호 발생 회로(241)가 도 5에 상세히 도시되어있다. 도 5를 참조하면, 입출력 모드 신호 발생 회로(241)는 전송 게이트들(511~518) 및 인버터들(521~528)을 구비한다. 테스트 모드시 제1 제어 신호(ORGSM)는 논리 하이로 액티브된다. 제1 제어 신호(ORGSM)가 논리 하이이면 전송 게이트들(511,515)은 오프(off)되고, 전송 게이트들(513,517)은 온(on)된다. 전송 게이트들(511,515)이 오프되면 패드들(254,255)에 인가되는 신호들은 전송 게이트들(511,515)에 의해 차단된다. 이 상태에서 제2 제어 신호



(MFE)가 논리 하이로 액티브되면 전송 게이트(514)가 온되어 노드(N5)는 접지 전압(GND) 레벨로 낮아진다. 따라서, 입출력 모드 신호(P4)는 논리 하이로 되어 반도체 메모리 장치(201)의 입출력 모드는  $\times 4$ 로 설정된다. 제1 제어 신호(ORGSM)가 액티브된 상태에서 제2 제어 신호(MFE)가 논리 로우이면 전송 게이트(512)는 온되고 전송 게이트(514)는 오프된다. 그러면 노드(N5)는 전원 전압(Vcc) 레벨로 되고 그로 인하여 입출력 모드 신호(P4)는 논리 로우로 된다.

<44> 제1 제어 신호(ORGSM)가 논리 하이로 액티브된 상태에서 제3 제어 신호(MHE)가 논리 하이로 액티브되면 전송 게이트(518)가 온되어 노드(N6)는 접지 전압(GND) 레벨로 낮아진다. 따라서, 입출력 모드 신호(P16)는 논리 하이로 되어 반도체 메모리 장치(201)의 입출력 모드는  $\times 6$ 으로 설정된다. 제1 제어 신호(ORGSM)가 논리 하이인 상태에서 제3 제어 신호(MHE)가 논리 로우이면 전송 게이트(516)는 온되고 전송 게이트(518)는 오프된다. 그러면 노드(N6)가 전원 전압(Vcc) 레벨로 되고 그로 인하여 입출력 모드 신호(P16)는 논리 로우로 된다.

<45> 제1 제어 신호(ORGSM)가 논리 하이인 상태에서 만일 제2 및 제3 제어 신호들(MFE, MHE)이 모두 논리 로우이면 입출력 모드 신호들(P4, P16)은 모두 논리 로우로 된다. 따라서, 반도체 메모리 장치(201)의 입출력 모드는  $\times 8$ 로 설정된다. 제1 제어 신호(ORGSM)가 논리 하이인 상태에서 제2 및 제3 제어 신호들(MFE, MHE)이 모두 논리 하이로 되는 경우는 발생하지 않는다.

<46> 외부로부터 패드들(PD0~PD15)로 인가되는 데이터는 버퍼들(B0~B15)과 입출력 멀티플렉서(281) 및 감지 증폭기(271)를 통하여 메모리 셀 어레이(261)에 기입된다. 메모리 셀 어레이(261)에 저장된 데이터는 감지 증폭기(271)와 입출력 멀티플렉서(281)와 버

퍼들(B0~B15) 및 패드들(PD0~PD15)을 통하여 외부로 독출된다. 입출력 멀티플렉서(281)는 반도체 메모리 장치(201)의 입출력 모드에 따라 메모리 셀 어레이(261)에 동시에 입출력되는 데이터의 수를 조정한다. 만일 반도체 메모리 장치(201)의 입출력 모드가  $\times 4$ 이면, 입출력 멀티플렉서(281)는 메모리 셀 어레이(261)로부터 감지 증폭기(271)를 통하여 출력되는 데이터를 동시에 4개씩 입출력 버퍼들(B0~B15)로 전송하거나 또는 외부로부터 입력되는 데이터를 동시에 4개씩 감지 증폭기(271)를 통하여 메모리 셀 어레이(261)로 전달한다. 만일 반도체 메모리 장치의 입출력 모드가  $\times 8$ 이면, 메모리 셀 어레이(261)에 동시에 입출력되는 데이터는 8개이고, 만일 반도체 메모리 장치(201)의 입출력 모드가  $\times 16$ 이면, 메모리 셀 어레이(261)에 동시에 입출력되는 데이터는 16개이다.

<47> 이와 같이, 외부에서 패드들(251~253) 중 어느 패드에 고전압을 인가하느냐에 따라 반도체 메모리 장치(201)의 입출력 모드는 달라진다. 따라서, 패키지가 완전히 조립된 상태에서 반도체 메모리 장치의 특성을 입출력 모드별로 테스트할 수가 있다.

<48> 도 6은 본 발명의 제2 실시예에 따른 반도체 메모리 장치의 개략적인 블록도이다. 도 6을 참조하면, 본 발명의 제2 실시예에 따른 반도체 메모리 장치(201)는 메모리 셀 어레이(261), 감지 증폭기(271), 입출력 멀티플렉서(281), 입출력 모드 설정 회로(611), 입출력 버퍼들(B0~B15) 및 패드들(PD0~PD15)을 구비한다.

<49> 입출력 모드 설정 회로(611)는 패드들(254,255)에 전기적으로 연결되며 모드 레지스터 어드레스 신호들(MRA4B~MRA10B), 제1 내부 신호인 전원 감지 신호(PVCCH) 및 제2 및 제3 내부 신호들(PWCBP, PMRSPD)을 입력하고 입출력 모드 신호들(P4, P16)을 발생한다. 입출력 모드 설정 회로(611)는 모드 레지스터 셋 회로(621), 제어 신호 발생 회로(631) 및 입출력 모드 신호 발생 회로(641)를 구비한다.

<50>        모드 레지스터 셋 회로(621)는 도 7에 상세히 도시되어있다. 도 7을 참조하면, 모드 레지스터 셋 회로(621)는 노아(NOR) 게이트들(711,712), 낸드 게이트들(731~734) 및 인버터들(721~724)을 구비한다. 모드 레지스터 셋 회로(621)는 모드 레지스터 어드레스 신호들(MRA4B~MRA8B)과 전원 감지 신호(PVCCH) 및 제2 내부 신호(PWCBR)를 입력하고 제1 및 제2 모드 레지스터 신호들(ORGSET,MRSET)을 발생한다. 제1 모드 레지스터 신호(ORGSET)를 논리 하이로 액티브시키기 위해서는 모드 레지스터 어드레스 신호들(MRA4B~MRA7B)과 제2 내부 신호(PWCBR)가 논리 하이로 액티브되고, 모드 레지스터 어드레스 신호(MRA8B)는 논리 로우로 되어야 한다. 모드 레지스터 어드레스 신호(MRA7B)가 논리 하이이고 모드 레지스터 어드레스 신호(MRA8B)가 논리 로우이면 노아 게이트(711)의 출력은 논리 하이로 된다. 또한, 모드 레지스터 어드레스 신호들(MRA4B~MRA6B)이 모두 논리 하이이면 인버터(723)의 출력은 논리 하이로 된다. 이 상태에서 제2 내부 신호(PWCBR)가 논리 하이로 액티브되면 낸드 게이트(732)로 입력되는 신호들이 모두 논리 하이이므로 제1 모드 레지스터 신호(ORGSET)는 논리 하이로 액티브된다. 여기서, 낸드 게이트(732)와 인버터(724)는 논리곱 회로의 역할을 한다.

<51>        제2 모드 레지스터 신호(MRSET)는 전원 감지 신호(PVCCH)가 논리 로우로 되면 논리 하이로 액티브된다. 또한, 제2 모드 레지스터 신호(MRSET)는 제2 내부 신호(PWCBR)와 모드 레지스터 어드레스 신호들(MRA7B,MRA8B)이 모두 논리 하이이고 모드 레지스터 어드레스 신호들(MRA4B~MRA6B) 중 하나가 논리 로우일 때 논리 하이로 액티브된다. 모드 레지스터 어드레스 신호들(MRA7B,MRA8B)이 모두 논리 하이이면 노아 게이트(712)는 논리 하이를 출력한다. 또, 모드 레지스터 어드레스 신호들(MRA4B~MRA6B) 중 하나가 논리 로우이면 낸드 게이트(731)는 논리 하이를 출력한다. 이 상태에서 제2 내부 신호

(PWCBR)가 논리 하이로 액티브되면 낸드 게이트(733)의 출력은 논리 로우로 된다. 따라서, 낸드 게이트(714)에 의해 제2 모드 레지스터 신호(MRSET)는 논리 하이로 된다.

<52> 제어 신호 발생 회로(631)는 도 8에 상세히 도시되어있다. 도 8을 참조하면, 제어 신호 발생 회로(631)는 PMOS 트랜지스터들(811~815), NMOS 트랜지스터(851), 전송 게이트들(821~825), 인버터들(831~836), 래치 회로들(841~845), 낸드 게이트(861) 및 버퍼들(872)을 구비한다. 제어 신호 발생 회로(631)는 전원 감지 신호(PVCCH)와 제1 및 제2 모드 레지스터 신호들(ORGSET, MRSET), 제3 내부 신호(PMRSPD) 및 모드 레지스터 어드레스 신호들(MRA9B, MRA10B)을 입력하고 제1 내지 제3 제어 신호들(ORGSM, MHE, MFE)을 발생한다.

<53> 제1 제어 신호(ORGSM)는 전원 감지 신호(PVCCH)와 제1 모드 레지스터 신호(ORGSET)가 논리 하이일 때 논리 하이로 액티브된다. 제1 모드 레지스터 신호(ORGSET)가 논리 하이이면 전송 게이트(821)가 온된다. 이 상태에서 전원 감지 신호(PVCCH)가 논리 하이이면 인버터(831)의 출력이 논리 로우로 되어 PMOS 트랜지스터(811)를 턴온시킨다. 그러면 전원 전압(Vcc)이 전송 게이트(821)를 통하여 래치 회로(841)에 인가되고, 래치 회로(841)의 출력은 논리 로우로 된다. 래치 회로(841)의 출력은 인버터(832)에 의해 반전되므로 제1 제어 신호(ORGSM)는 논리 하이로 액티브된다. 제1 제어 신호(ORGSM)는 전원 전압(Vcc)이 단절되거나 또는 제2 모드 레지스터 신호(MRSET)가 논리 하이로 될 때 논리 로우로 디세이블(disable)된다. 전원 전압(Vcc)이 단절되면 전원 감지 신호(PVCCH)가 논리 로우로 된다. 그러면, 낸드 게이트(861)의 출력이 논리 하이로 되어 NMOS 트랜지스터(851)를 턴온시킨다. 마찬가지로, 제2 모드 레지스터 신호(MRSET)가 논리 하이로 되면 인버터(833)의 출력이 논리 로우로 되어 NMOS 트랜지스터(851)를 턴온시킨다.

NMOS 트랜지스터(851)가 턴온되면 제1 제어 신호(ORGSM)는 논리 로우로 된다.

- <54> 제3 제어 신호(MHE)는 제1 모드 레지스터 신호(ORGSET)와 제3 내부 신호(PMRSPD)가 논리 하이이고 모드 레지스터 어드레스 신호(MRA9B)가 논리 로우일 때 논리 하이로 액티브된다. 제1 모드 레지스터 신호(ORGSET)와 제3 내부 신호(PMRSPD)가 논리 하이이면 전송 게이트들(822,823)이 온된다.
- <55> 제3 내부 신호(PMRSPD)는 도 10에 도시된 바와 같이 기입 인에이블 신호(WEB)와 로우 어드레스 스트로브 신호(RASB) 및 칼럼 어드레스 스트로브 신호(CASB)가 모두 논리 로우로 인에이블된 상태에서 클럭 신호(CLK)가 논리 로우에서 논리 하이로 천이될 때 논리 하이로 액티브되고, 기입 인에이블 신호(WEB)와 로우 어드레스 스트로브 신호(RASB) 및 칼럼 어드레스 스트로브 신호(CASB) 중 어느 하나가 논리 하이로 디세이블된 상태에서 클럭 신호(CLK)가 논리 로우에서 논리 하이로 천이될 때 논리 로우로 인액티브된다. 제3 내부 신호(PMRSPD)는 제2 내부 신호(PWCBR)와 대체될 수 있다.
- <56> 이 상태에서 모드 레지스터 어드레스 신호(MRA9B)가 논리 로우이면 이것은 전송 게이트(822)를 통하여 래치 회로(842)에 입력된다. 래치 회로(842)는 입력을 반전시키므로 래치 회로(842)의 출력은 논리 하이로 된다. 래치 회로(842)의 출력은 인버터(834)에 의해 반전되며 전송 게이트(823)를 통과하여 래치 회로(843)에 입력된다. 래치 회로(843)는 논리 하이로 출력하고 이것은 버퍼(871)에 의해 버퍼링(buffering)되어 제3 제어 신호(MHE)로써 발생된다. 따라서, 제3 제어 신호(MHE)는 논리 하이로 액티브된다.
- <57> 제2 제어 신호(MFE)는 제1 모드 레지스터 신호(ORGSET)와 제3 내부 신호(PMRSPD)가 논리 하이이고 모드 레지스터 어드레스 신호(MRA10B)가 논리 로우일 때 논리 하이로 액티브된다. 제1 모드 레지스터 신호(ORGSET)와 제3 내부 신호(PMRSPD)가

논리 하이이면 전송 게이트들(824,825)이 온된다. 이 상태에서 모드 레지스터 어드레스 신호(MRA10B)가 논리 로우이면 이것은 전송 게이트(824)를 통하여 래치 회로(844)에 입력된다. 래치 회로(844)는 입력을 반전시키므로 래치 회로(844)의 출력은 논리 하이로 된다. 래치 회로(844)의 출력은 인버터(836)에 의해 반전되며 전송 게이트(825)를 통과하여 래치 회로(845)에 입력된다. 래치 회로(845)는 논리 하이로 출력하고 이것은 버퍼(872)에 의해 버퍼링되어 제2 제어 신호(MFE)로써 발생된다. 따라서, 제2 제어 신호(MFE)는 논리 하이로 액티브된다.

<58>       입출력 모드 신호 발생 회로(641)는 도 9에 상세히 도시되어있다. 도 9를 참조하면, 입출력 모드 신호 발생 회로(641)는 패드들(254,255)과 전기적으로 연결되며, 전송 게이트들(911~918) 및 인버터들(921~928)을 구비한다. 입출력 모드 신호 발생 회로(641)는 제1 내지 제3 제어 신호들(ORGSM,MFE,MHE)을 입력하고 입출력 모드 신호들(P4,P16)을 발생한다. 제1 제어 신호(ORGSM)가 논리 하이이면 전송 게이트들(913,917)은 온되고 전송 게이트들(911,915)이 오프되어 패드들(254,255)을 통해 입출력 모드 설정 회로(641)로 입력되는 신호들은 차단된다. 이 상태에서, 제2 제어 신호(MFE)가 논리 하이로 되면 입출력 모드 신호(P4)가 논리 하이로 인에이블되어 반도체 메모리 장치(201)의 입출력 모드는 X4로 설정되고, 제3 제어 신호(MHE)가 논리 하이로 되면 입출력 모드 신호(P16)가 논리 하이로 인에이블되어 반도체 메모리 장치(201)의 입출력 모드는 X6으로 설정된다. 제2 및 제3 제어 신호들(MFE,MHE)은 동시에 모두 논리 하이로 되는 경우는 발생하지 않는다. 제2 및 제3 제어 신호들(MFE,MHE)이 모두 논리 로우로 되면 입출력 모드 신호들(P4,P16)이 모두 논리 로우로 되어 반도체 메모리 장치(201)의 입출력 모드는 X8로 설정된다.

- <59> 제1 제어 신호(ORGSM)가 논리 하이인 상태에서, 제2 제어 신호(MFE)가 논리 하이로 되면, 전송 게이트(912)는 오프되고, 전송 게이트(914)는 인버터(921)의 출력이 논리 로우이므로 온된다. 따라서, 노드(N7)는 접지 전압(GND) 레벨로 되고 이것은 인버터들(922~924)에 의해 반전되므로 입출력 모드 신호(P4)는 논리 하이로 인에이블된다. 만일 제2 제어 신호(MFE)가 논리 로우로 되면, 전송 게이트(914)는 오프되고, 전송 게이트(912)는 온된다. 따라서, 노드(N7)는 전원 전압(Vcc) 레벨로 되고 이것은 인버터들(922~924)에 의해 반전되므로 입출력 모드 신호(P4)는 논리 로우로 디세이블된다.
- <60> 제1 제어 신호(ORGSM)가 논리 하이인 상태에서, 제3 제어 신호(MHE)가 논리 로우로 되면, 전송 게이트(916)는 오프되고, 전송 게이트(918)는 인버터(925)의 출력이 논리 로우이므로 온된다. 따라서, 노드(N8)는 접지 전압(GND) 레벨로 되고 이것은 인버터들(926~928)에 의해 반전되므로 입출력 모드 신호(P16)는 논리 하이로 인에이블된다. 만일 제3 제어 신호(MHE)가 논리 로우로 되면, 전송 게이트(918)는 오프되고, 전송 게이트(916)는 온된다. 따라서, 노드(N8)는 전원 전압(Vcc) 레벨로 되고 이것은 인버터들(926~928)에 의해 반전되므로 입출력 모드 신호(P16)는 논리 로우로 디세이블된다.
- <61> 이와 같이, 모드 레지스터 어드레스 신호들(MRA4B~MRA10B)을 이용하여 반도체 메모리 장치(201)의 입출력 모드를 원하는 대로 설정할 수가 있다. 따라서, 패키지가 완전히 조립된 상태에서도 반도체 메모리 장치(201)의 특성을 입출력 모드별로 테스트할 수가 있다.
- <62> 도 2 및 도 6에서 반도체 메모리 장치(201)는 3개의 입출력 모드를 갖는 것으로 설명되었지만, 반도체 메모리 장치(201)의 입출력 모드는 상기 설명한 바와 같은 방법으로 3개 이하 또는 3개 이상으로 구성될 수 있다. 예컨대, 반도체 메모리 장치(201)의 입출력 모드는

×82, ×64, ×128 등으로 설정될 수도 있다.

<63> 도면과 명세서에서 최적 실시예들이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<64> 상술한 바와 같이 본 발명에 따르면, 외부에서 반도체 메모리 장치(201)의 데이터 입출력 모드를 자유롭게 제어할 수가 있다. 따라서, 반도체 메모리 장치의 생산성이 향상되고, 반도체 메모리 장치의 입출력 모드에 따른 구동 차이가 없어지게 되어 테스트 효율이 증가한다. 또한, 반도체 메모리 장치를 입출력 모드별로 완벽하게 평가할 수가 있다.



**【특허청구범위】****【청구항 1】**

반도체 메모리 장치에 있어서,

복수개의 패드들; 및

상기 복수개의 패드들과 전기적으로 연결되며 복수개의 신호들을 입력하고 복수개의 입출력 모드 신호들을 출력하는 입출력 모드 설정 회로를 구비하고,

테스트 모드시 상기 입출력 모드 설정 회로는 상기 입력되는 복수개의 신호들에 응답하여 상기 복수개의 패드들로부터 입력되는 신호들을 차단하고 상기 복수개의 입출력 모드 신호들을 각각 논리 하이와 논리 로우 중 하나로 만들어서 상기 반도체 메모리 장치를 하나의 입출력 모드로 설정하고,

정상 동작시 상기 입출력 모드 설정 회로는 상기 복수개의 패드들로부터 입력되는 신호들에 응답하여 상기 복수개의 입출력 모드 신호들을 각각 논리 하이와 논리 로우 중 하나로 만들어서 상기 반도체 메모리 장치를 하나의 입출력 모드로 설정하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 2】**

반도체 메모리 장치에 있어서,

복수개의 패드들;

다른 복수개의 패드들; 및

상기 복수개의 패드들 및 상기 다른 복수개의 패드들과 전기적으로 연결되며 복수개의 입출력 모드 신호들을 발생하는 입출력 모드 설정 회로를 구비하고,

테스트 모드시 상기 다른 복수개의 패드들 중 하나에 상기 반도체 메모리 장치의 전원 전압보다 높은 고전압이 인가되면 상기 입출력 모드 설정 회로는 상기 복수개의 패드들로부터 입력되는 신호들을 차단하고 상기 입출력 모드 신호들을 각각 논리 하이와 논리 로우 중 하나로 만들어서 상기 반도체 메모리 장치를 하나의 입출력 모드로 설정하고,

정상 동작시 상기 다른 복수개의 패드들에는 상기 고전압이 인가되지 않으며 상기 입출력 모드 설정 회로는 상기 복수개의 패드들로부터 입력되는 신호들에 응답하여 상기 입출력 모드 신호들을 각각 논리 하이와 논리 로우 중 하나로 만들어서 상기 반도체 메모리 장치를 하나의 입출력 모드로 설정하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 3】

제2항에 있어서, 상기 고전압은 짧은 시간동안만 상기 다른 복수개의 패드들 중 하나에 인가되는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 4】

제2항에 있어서, 상기 고전압이 상기 패드들 중 하나에 인가되고난 후에 상기 전원 전압이 상기 반도체 메모리 장치에 인가되는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 5】

제2항에 있어서, 상기 복수개의 패드들은 모두 부유되는 것과 그 중 하나가 상기 반도체 메모리 장치의 접지단과 접지되는 것 중 하나로 설정되는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 6】

제2항에 있어서, 상기 입출력 모드 설정 회로는

상기 다른 복수개의 패드들에 연결되고 제1 내지 제3 신호들을 출력하며 상기 다른 복수개의 패드들 중 하나에 상기 고전압이 인가되면 상기 제1 내지 제3 신호들 중 하나만 액티브되는 패드 회로;

상기 패드 회로로부터 출력되는 신호들과 제1 및 제2 내부 신호들에 응답하여 제1 내지 제3 제어 신호들을 발생하며 상기 제1 및 제2 내부 신호들이 액티브된 상태에서 상기 제1 내지 제3 신호들 중 하나가 액티브될 때 상기 제1 내지 제3 제어 신호들 중 최소한 제1 제어 신호를 액티브시키는 제어 신호 발생 회로; 및

상기 제어 신호 발생 회로에 연결되며 상기 제1 내지 제3 제어 신호들에 응답하여 상기 복수개의 입출력 모드 신호들을 출력하고 상기 제1 제어 신호가 액티브될 때 상기 복수개의 패드들로부터 입력되는 신호들을 모두 차단하고 상기 제2 및 제3 제어 신호들에 응답하여 상기 입출력 모드 신호들을 각각 논리 하이와 논리 로우 중 하나로 만드는 입출력 모드 신호 발생 회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 7】

제6항에 있어서, 상기 제1 내부 신호는 상기 전원 전압이 소정 레벨 이상이 되면 액티브되는 전원 감지 신호이고, 상기 제2 내부 신호는 상기 반도체 메모리 장치의 기입 인에이블 신호와 로우 어드레스 스트로브 신호 및 칼럼 어드레스 스트로브 신호가 모두 논리 로우로 인에이블될 때 액티브되는 입출력 모드 제어 신호인 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 8】

제2항에 있어서, 정상 동작시 상기 복수개의 다른 패드들에는 상기 정상 동작에 필요한 신호들이 인가되는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 9】**

제2항에 있어서, 상기 복수개의 패드들은 2개이고 상기 다른 복수개의 패드들은 3개인 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 10】**

반도체 메모리 장치에 있어서,

복수개의 패드들; 및

상기 복수개의 패드들과 전기적으로 연결되며 복수개의 모드 레지스터 어드레스 신호들을 입력하고 복수개의 입출력 모드 신호들을 출력하는 입출력 모드 설정 회로를 구비하고,

테스트 모드시 상기 입출력 모드 설정 회로는 상기 복수개의 모드 레지스터 어드레스 신호들에 응답하여 상기 복수개의 패드들로부터 입력되는 신호들을 차단하고 상기 입출력 모드 신호들을 각각 논리 하이와 논리 로우 중 하나로 만들어서 상기 반도체 메모리 장치를 하나의 입출력 모드로 설정하고,

정상 동작시 상기 입출력 모드 설정 회로는 상기 복수개의 패드들로부터 입력되는 신호들에 응답하여 상기 입출력 모드 신호들을 각각 논리 하이와 논리 로우 중 하나로 만들어서 상기 반도체 메모리 장치를 하나의 입출력 모드로 설정하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 11】**

제10항에 있어서, 상기 복수개의 패드들은 모두 부유되는 것과 그 중 하나가 상기 반도체 메모리 장치의 접지단과 접지되는 것 중 하나로 설정되는 것을 특징으로 하는 반도체 메모리 장치.

## 【청구항 12】

제10항에 있어서, 상기 제1 내부 신호는 상기 전원 전압이 소정 레벨 이상이 되면 액티브되는 전원 감지 신호이고, 상기 제2 내부 신호는 상기 반도체 메모리 장치의 기입 인에이블 신호와 로우 어드레스 스트로브 신호 및 칼럼 어드레스 스트로브 신호가 모두 논리 로우로 인에이블될 때 액티브되는 입출력 모드 제어 신호인 것을 특징으로 하는 반도체 메모리 장치.

## 【청구항 13】

제10항에 있어서, 상기 입출력 모드 설정 회로는

상기 복수개의 모드 레지스터 어드레스 신호들 중 일부와 제1 및 제2 내부 신호들을 입력하고 제1 및 제2 모드 레지스터 신호들을 발생하며 상기 복수개의 모드 레지스터 어드레스 신호들 중 일부와 상기 제1 및 제2 내부 신호들이 액티브되면 상기 제1 모드 레지스터 신호가 액티브되는 모드 레지스터 셋 회로;

상기 모드 레지스터 셋 회로의 제1 및 제2 모드 레지스터 신호들과 상기 제1 및 제2 내부 신호들 및 상기 복수개의 모드 레지스터 어드레스 신호들 중 다른 일부를 입력하고 제1 내지 제3 제어 신호들을 출력하며 상기 모드 레지스터 셋 회로의 제1 모드 레지스터 신호와 상기 제1 내부 신호가 액티브되면 상기 제1 제어 신호를 액티브시키고, 상기 제2 내부 신호가 액티브일 때 상기 복수개의 모드 레지스터 어드레스 신호들 중 다른 일부에 응답하여 상기 제2 및 제3 제어 신호들을 각각 논리 하이와 논리 로우 중 하나로 만드는 제어 신호 발생 회로; 및

상기 제1 내지 제3 제어 신호들을 입력하고 상기 제1 제어 신호가 액티브되면 상기 복수개의 패드들로부터 입력되는 신호들을 차단하고 상기 제2 및 제3 제어 신호들에 응답하여

상기 복수개의 입출력 모드 신호들을 각각 논리 하이와 논리 로우 중 하나로 만드는 입출력 모드 신호 발생부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 14】**

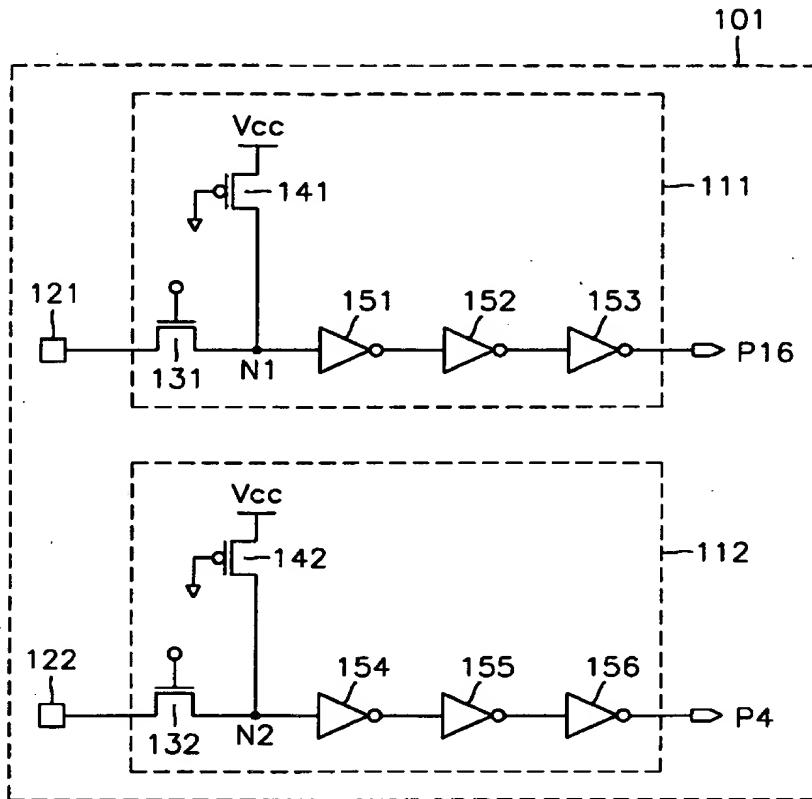
제13항에 있어서, 정상 동작시 상기 모드 레지스터 셋 회로의 제2 모드 레지스터 신호와 제1 및 제2 내부 신호들이 인액티브되어 상기 제1 내지 제3 제어 신호들을 인액티브로 만들며 그에 따라 상기 입출력 모드 신호 발생 회로는 상기 복수개의 패드들로부터 입력되는 신호에 응답하여 상기 입출력 모드 신호들을 논리 하이와 논리 로우 중 하나로 만드는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 15】**

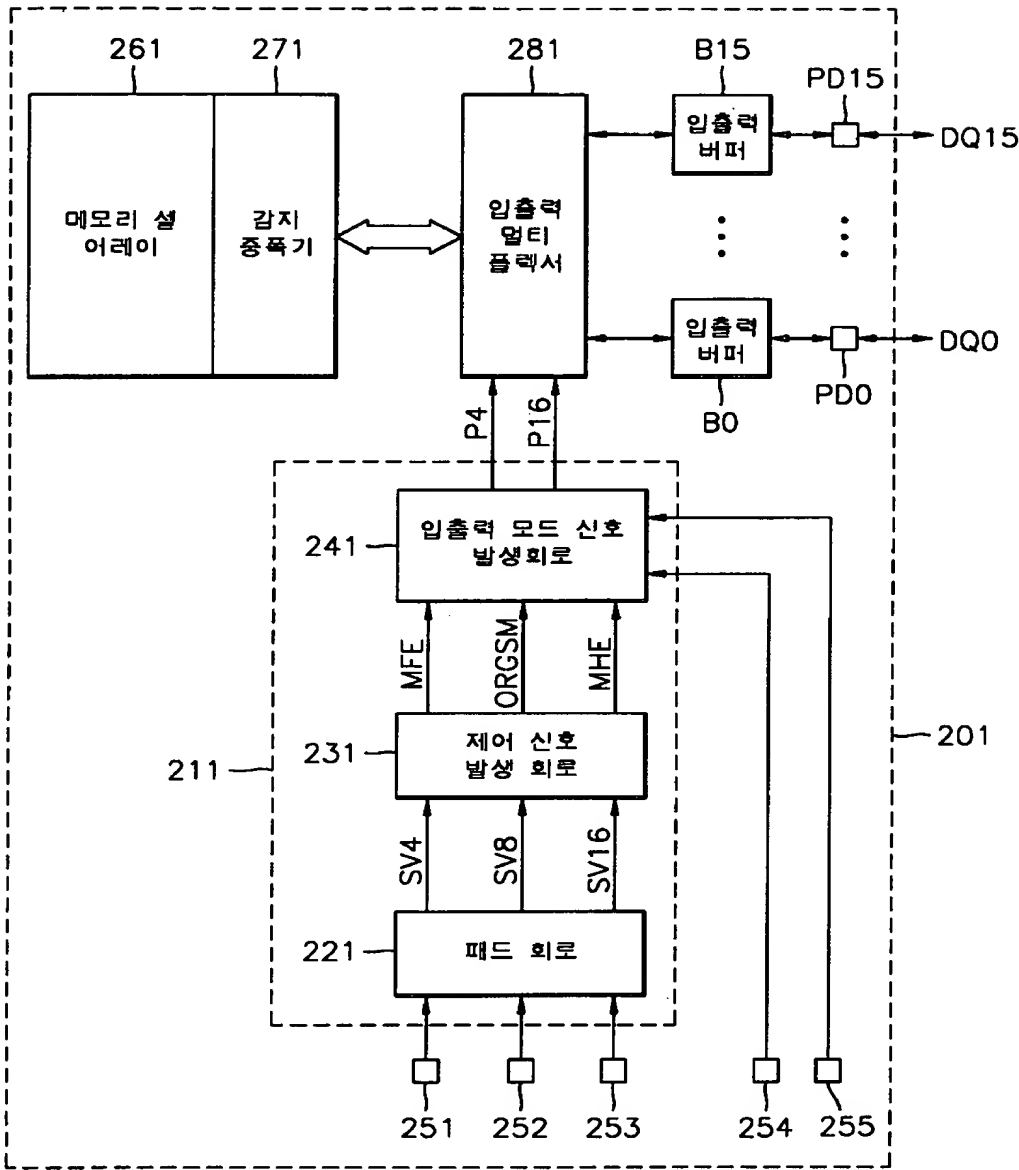
제10항에 있어서, 상기 복수개의 패드들은 2개인 것을 특징으로 하는 반도체 메모리 장치.

【도면】

【도 1】

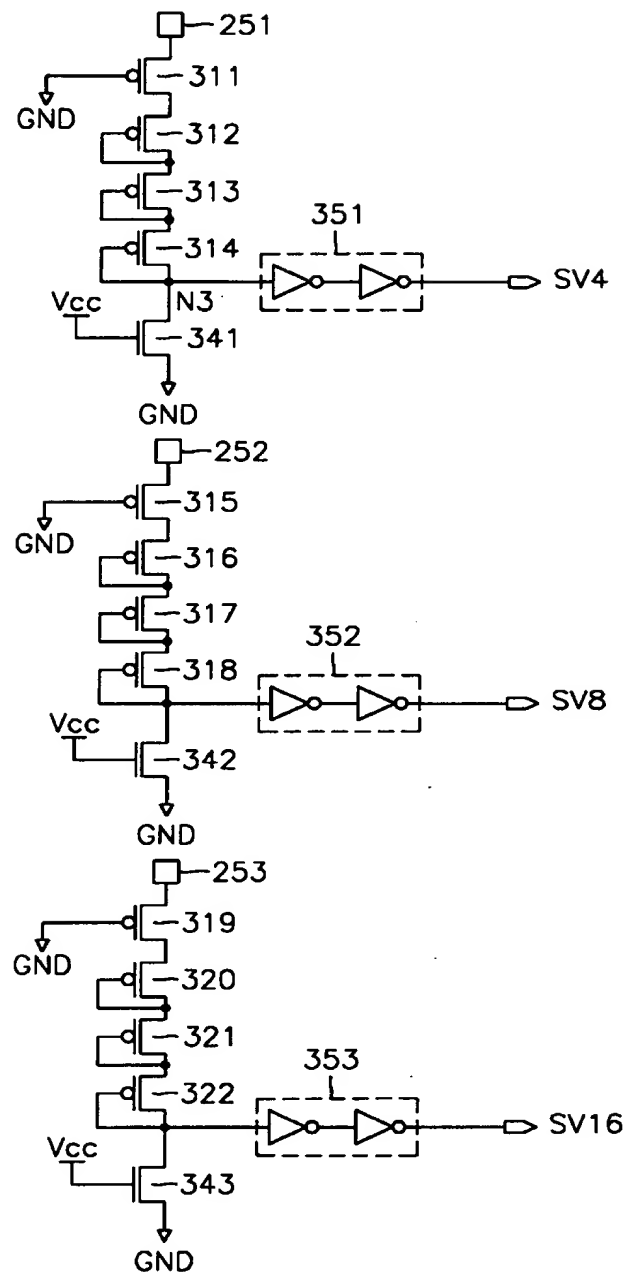


【도 2】

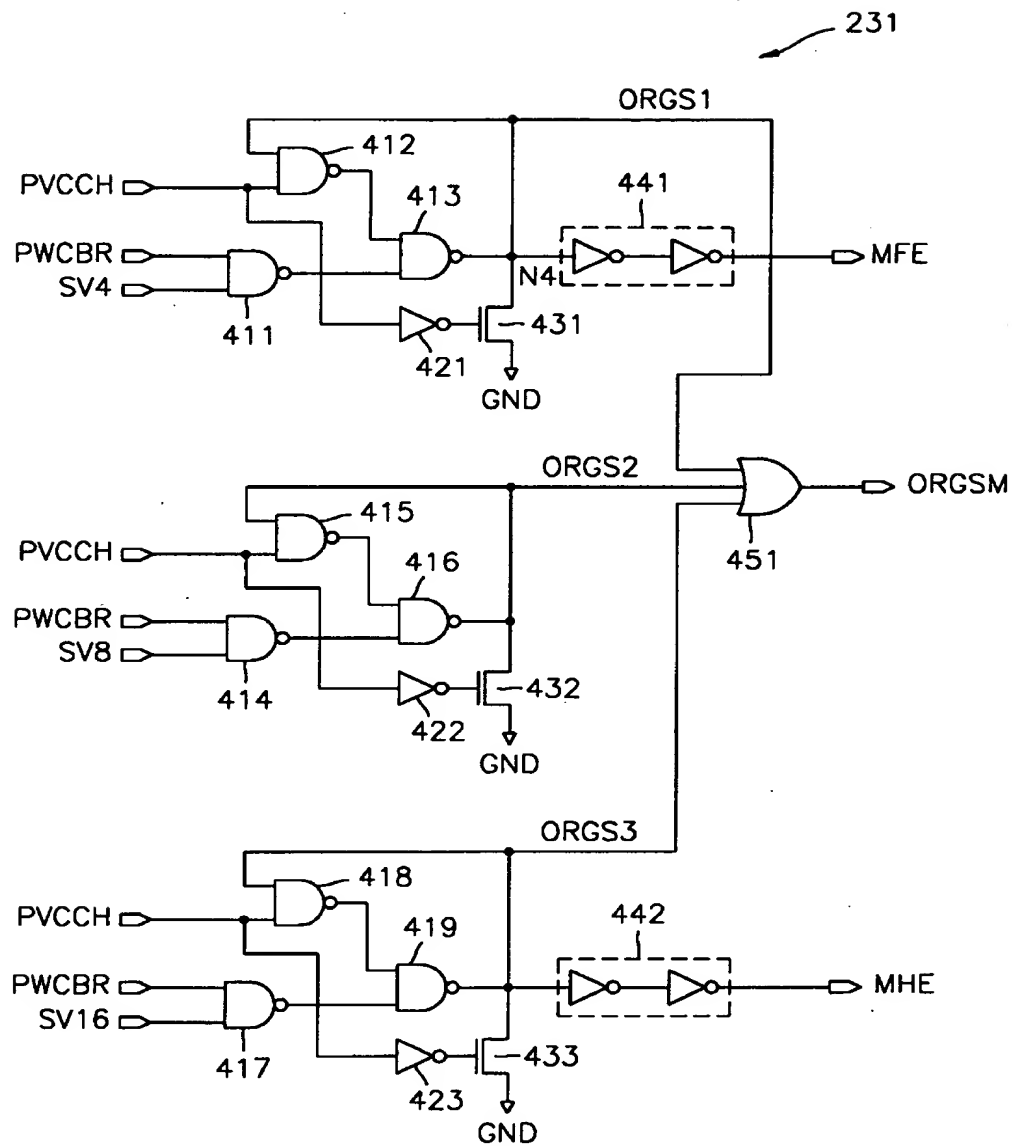




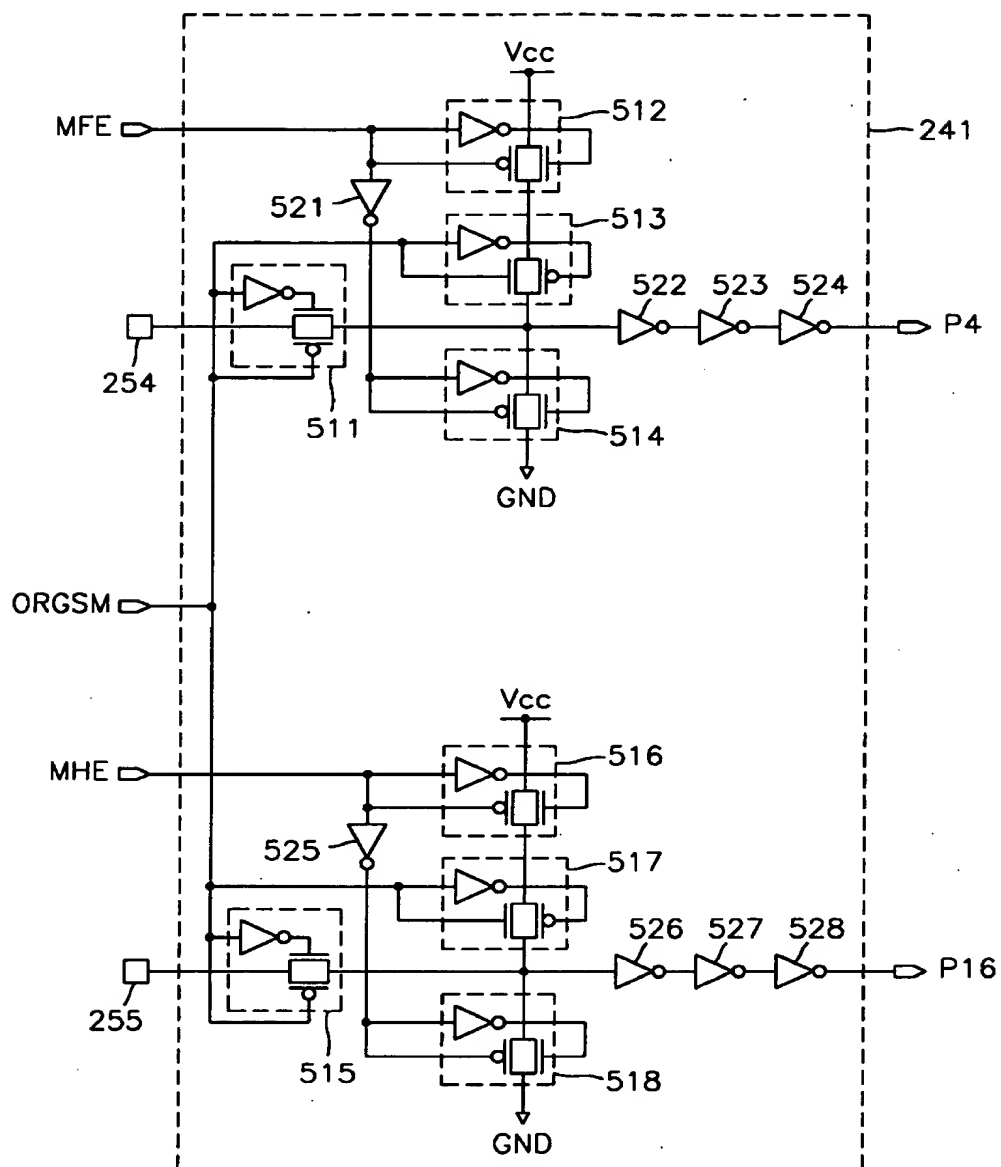
【도 3】



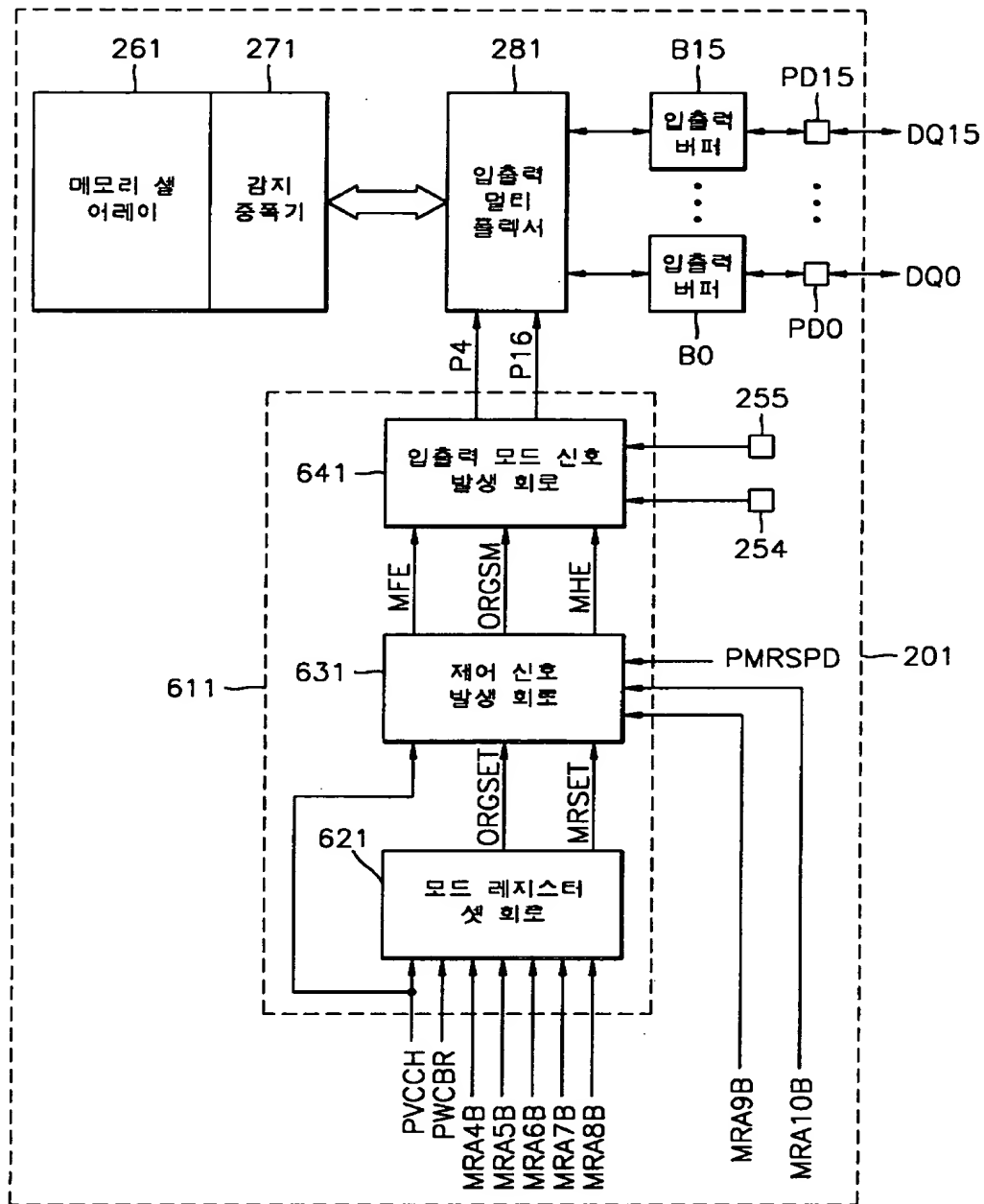
【도 4】



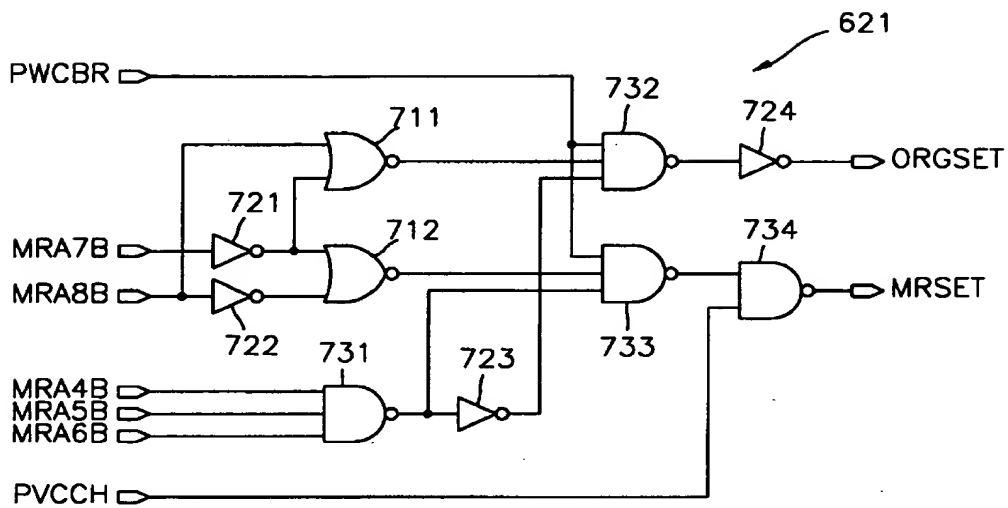
【도 5】



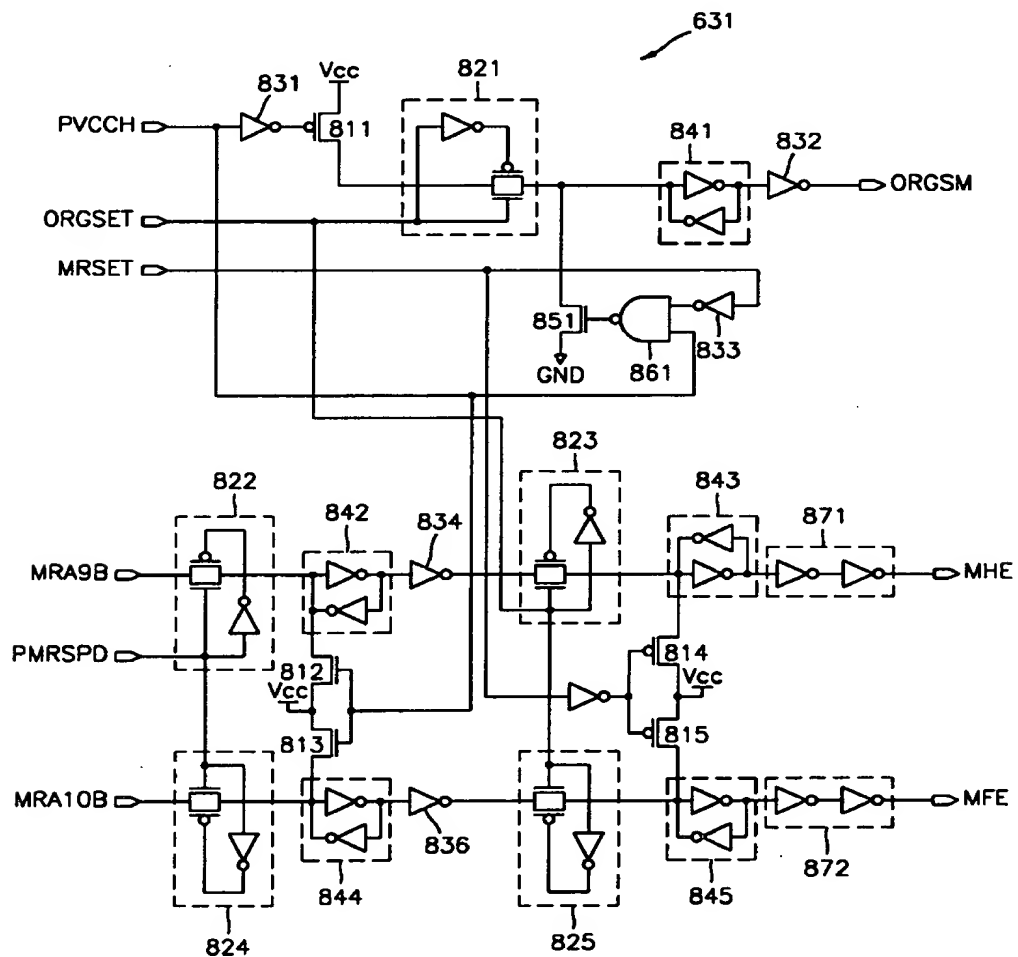
【도 6】



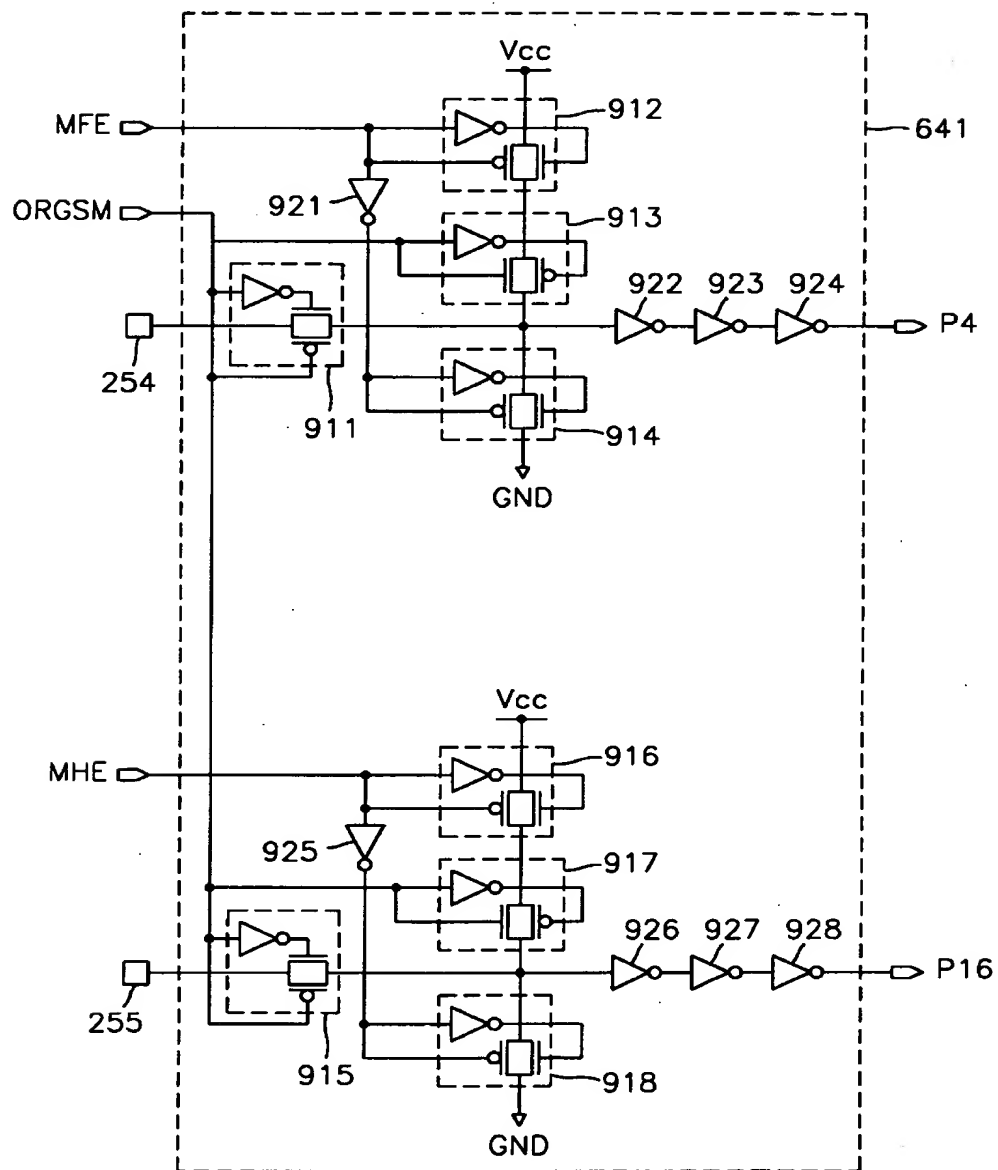
【도 7】



【도 8】



【도 9】



【도 10】

